

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

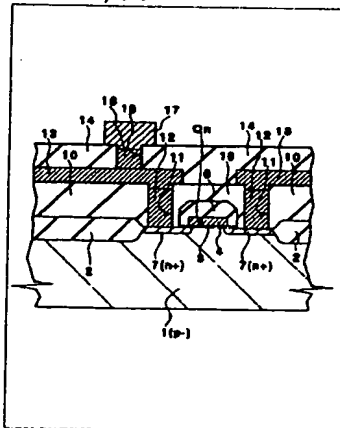
**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

===== WPI =====

- TI - Forming interconnection members - by forming tungsten@ film of selective CVD, using organic silane contg. atom donating substituent gp. and tungsten hexa:fluoride gas
- AB - J06037041 Process comprises forming a W film by selective CVD, using an organic silane contg. an atom-donating substituent gp. (Me or Ph) and WF6 gas.
- USE - Provides interconnection members at higher yield and in a short period of time.
- (Dwg.1/3)
- PN - JP6037041 A 19940210 DW199411 H01L21/285 006pp
- PR - JP19920187855 19920715
- PA - (HITA ) HITACHI LTD
- MC - L04-C11 L04-C13B M13-E01
- U11-C05D3
- DC - L03 M13 U11
- IC - C23C16/04 ;H01L21/285 ;H01L21/90
- AN - 1994-087155 [11]

===== PAJ =====

- TI -- FORMING METHOD FOR WIRING MEMBER
- AB - PURPOSE: To improve a productive yield and shorten a processing time, by forming a tungsten film selectively using hexafluoride tungsten and organic silane having an electron donative substituent as a source gas in a CVD method.
- CONSTITUTION: A device-isolation insulating film 2 and a gate insulating film 3 are formed on a main face of p<->-type semiconductor substrate 1. A gate electrode 4 is formed on the gate insulating film 3. A pair of n<+>-type semiconductor regions 7 are formed, and an insulating film 6 is formed on the upper and side faces of the gate electrode 4. A connection hole 11 for exposing an interlayer insulating film 10 and a main face of the n<+>-type semiconductor region 7 is formed, and a tungsten film 12 is formed in the connection hole 11 using hexafluoride tungsten and a monomethylsilane gas as a source gas in a low-pressure CVD method. Then, a first-layer wiring 13 is formed. Similarly as the first layer, an interlayer insulating film 14, an insulating hole 15, and a tungsten film 16, and a second layer wiring 17 are formed above the first-layer wiring 13.
- PN - JP6037041 A 19940210
- PD - 1994-02-10
- ABD - 19940513
- ABV - 018252
- AP - JP19920187855 19920715
- GR - E1547
- PA - HITACHI LTD
- IN - SUZUKI MASAYASU
- I - H01L21/285 ;C23C16/04 ;H01L21/90



<First Page Image>

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-37041

(43) 公開日 平成6年(1994)2月10日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/285	3 0 1 R	9055-4M		
	C	9055-4M		
C 2 3 C 16/04		7325-4K		
H 0 1 L 21/90	C	7514-4M		

審査請求 未請求 請求項の数3(全6頁)

(21) 出願番号 特願平4-187855

(22) 出願日 平成4年(1992)7月15日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 鈴樹 正恭

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所武蔵工場内

(74) 代理人 弁理士 小川 勝男

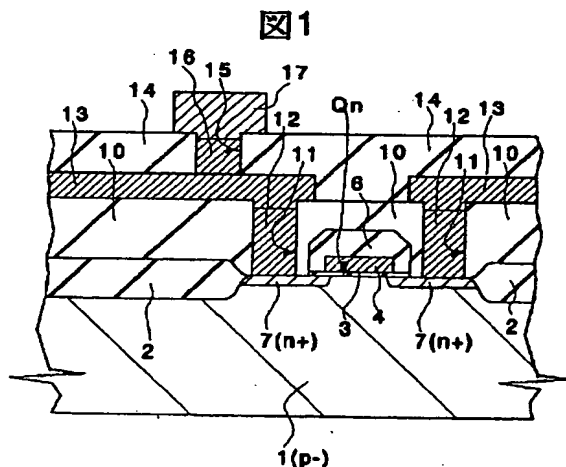
(54) 【発明の名称】 配線部材の形成方法

(57) 【要約】

【目的】 配線部材の形成方法において、歩留りを向上する。工完時間を短縮する。動作速度を高速化する。

【構成】 六フッ化タングステンガスと原子供与性置換基（メチル基またはフェニル基）を有する有機シランをソースガスとする選択CVD法でタングステン膜12を形成する。

【効果】 メチル基またはフェニル基を有する有機シランのタングステンに対する還元力は強いので、エンクローチメントの発生を防止できると共に、蒸着速度を速くできる。メチル基またはフェニル基を有する有機シラン中の珪素-炭素間の結合は強いので、タングステン膜中の珪素の取り込みを防止できる。



## 【特許請求の範囲】

【請求項1】 珪素で構成される半導体基板の主面上の絶縁膜に、前記半導体基板の主面を露出する開口を形成する工程と、該開口内に、六フッ化タングステンと電子供与性置換基を有する有機シランをソースガスとするCVD法で選択的にタングステン膜を形成する工程とを備えたことを特徴とする配線部材の形成方法。

【請求項2】 前記有機シランは、モノシランのアルキル又はフェニル誘導体であることを特徴とする前記請求項1に記載の配線部材の形成方法。

【請求項3】 前記有機シランは、モノメチルシランまたはジメチルシランであることを特徴とする前記請求項2に記載の配線部材の形成方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、配線形成技術に関し、特に、選択CVD法を使用する配線形成技術に適用して有効な技術に関するものである。

## 【0002】

【従来の技術】 半導体装置において、層間絶縁膜に形成された微細な接続孔内を、CVD法で選択的にタングステン膜を形成して埋込む方法が使用されている。この場合、例えば、前記層間絶縁膜の接続孔内で露出する下層の半導体基板の主面に、前記タングステン膜は接続される。前記層間絶縁膜は、酸化珪素膜で構成されている。前記層間絶縁膜の上層の配線は、タングステン膜で構成されている。前記半導体基板は、単結晶珪素で構成されている。この技術によれば、接続孔の縦横比（アスペクト比）が大きい接続孔を通して、層間絶縁膜の上層の配線と下層の半導体基板の主面とを接続できる。

【0003】 前記タングステン膜は、六フッ化タングステンガスと水素ガスまたはモノシランガスをソースガスとする選択CVD法で形成される。

## 【0004】

【発明が解決しようとする課題】 しかしながら、本発明者は、前記従来技術を検討した結果、以下のような問題点を見出した。

【0005】 前記六フッ化タングステンガスと水素ガスをソースガスとしてタングステン膜を形成する場合、六フッ化タングステンに対する水素の還元力が珪素より弱い40 ため、エンクローチメントと呼ばれる半導体基板中へのタングステンの食い込みが形成される。この結果、タングステン膜がMOSFETのソースまたはドレイン領域を構成する半導体領域に接続される場合には、ソース、ドレイン領域を構成する半導体領域間がエンクローチメントにより短絡し、半導体装置の歩留りが低下するという問題がある。または、エンクローチメントがMOSFETのソースまたはドレイン領域を構成する半導体領域中を突き抜け、前記タングステン膜と半導体基板の主面部との間がエンクローチメントによって短絡し（接

合破壊が発生し）半導体装置の歩留りが低下するという問題がある。また、六フッ化タングステンに対する水素の還元力が珪素より弱い40 ため、タングステン膜の蒸着速度が、前記六フッ化タングステン膜とモノシランガスをソースガスとする場合より遅く、半導体装置の工完時間が長くなるという問題がある。

【0006】 前記六フッ化タングステンガスとモノシランガスをソースガスとしてタングステン膜を形成する場合、六フッ化タングステンに対するモノシランの還元力が珪素より強いので、エンクローチメントは形成されない。また、六フッ化タングステンに対するモノシランの還元力は珪素より強い40 ため、蒸着速度は、六フッ化タングステンガスと水素ガスをソースガスとした場合よりも速い。しかし、モノシラン中の水素-珪素間の結合は弱く切れ易いため、形成されたタングステン膜中に珪素が取り込まれ、タングステン膜の抵抗率が増大する。この結果、半導体装置の動作速度が低下するという問題があった。また、タングステン膜中に珪素が取り込まれると、タングステン膜内部の縮み応力が大きくなるため、半導体装置の製造工程中にタングステン膜がはがれ、歩留りが低下するという問題があった。

【0007】 そこで、前記タングステンによるエンクローチメント及びタングステン膜中への珪素の取り込みを防止するために、六フッ化タングステンガスとジフルオロシランガスをソースガスとしてタングステン膜を形成する方法が開発されている。この場合、六フッ化タングステンに対する還元力は、水素よりジフルオロシランの方が強いので、エンクローチメントは発生しない。また、珪素-フッ素間の結合が珪素-水素間の結合より強い40 ため、タングステン膜中に珪素は取り込まれない。しかし、タングステン膜の形成速度は、前記六フッ化タングステンガスとモノシランガスをソースガスとする場合より遅いという問題がある。

【0008】 本発明の目的は、配線部材の形成方法において、歩留りを向上することが可能な技術を提供することにある。

【0009】 本発明の他の目的は、前記配線部材の形成方法において、工完時間を短縮することが可能な技術を提供することにある。

【0010】 本発明の他の目的は、前記配線部材の形成方法において、動作速度を高速化することが可能な技術を提供することにある。

【0011】 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

## 【0012】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0013】 (1) 珪素で構成される半導体基板の主面

上の絶縁膜に、前記半導体基板の主面を露出する開口を形成する工程と、この開口内に、六フッ化タングステンと電子供与性置換基を有する有機シランをソースガスとするCVD法で選択的にタングステン膜を形成する工程とを備える。

【0014】(2) 前記有機シランは、モノシランのアルキルまたはフェニル誘導体である。

【0015】(3) 前記有機シランは、モノメチルシランまたはジメチルシランである。

【0016】

【作用】前述した手段(1)乃至(3)によれば、前記電子供与性置換基(アルキルまたはフェニル基)は、有機シラン(モノシラン)の六フッ化タングステンに対する還元力を増大させるので、有機シランの六フッ化タングステンに対する還元力は、珪素及び水素より大きくなる。従って、タングステン膜を形成する工程において、エンクローチメントは形成されないで、エンクローチメントによる半導体装置の歩留りの低下を防止できる。つまり、半導体装置の歩留りを向上できる。

【0017】また、前記電子供与性置換基(アルキルまたはフェニル基)を有する有機シラン(モノシラン)の六フッ化タングステンに対する還元力は水素及びジフルオロシランより大きいので、タングステン膜の蒸着速度を速くできる。これにより、半導体装置の完工時間を短縮できる。

【0018】また、前記電子供与性置換基(アルキルまたはフェニル基)を有する有機シラン(モノシラン)中の珪素-炭素間の結合は、モノシラン中の珪素-水素間の結合より強いので、タングステン膜中に珪素が取り込まれることを防止できる。これにより、タングステン膜の抵抗値の増大を防止できるので、半導体装置の動作速度を高速化できる。また、タングステン膜中への珪素の取り込みを防止することにより、半導体装置の製造工程中のタングステン膜の剥がれを防止できるので、半導体装置の歩留りを向上できる。

【0019】

【実施例】以下、本発明の実施例を図面を用いて具体的に説明する。なお、実施例を説明するための全図において、同一機能を有するものは、同一符号を付け、その繰り返しの説明は省略する。

【0020】まず、本発明の実施例の半導体装置の構成を、図1(要部断面図)を用いて説明する。

【0021】図1に示すように、半導体装置は、p-型半導体基板1で構成されている。このp-型半導体基板1は、例えば、単結晶珪素で構成されている。このp-型半導体基板1の主面には、nチャネルMISFETQnが設けられている。

【0022】前記nチャネルMISFETQnは、前記p-型半導体基板1の非活性領域の主面の素子間分離絶縁膜2で周囲を規定された活性領域の主面に設けられて

いる。この素子間分離絶縁膜2は、例えば、酸化珪素膜で構成されている。

【0023】前記nチャネルMISFETQnは、前記p-型半導体基板1の主面に設けられたゲート絶縁膜3、このゲート絶縁膜3上に設けられたゲート電極4、ソース領域とドレイン領域を構成する一対のn+型半導体領域7の夫々を主体に構成されている。前記ゲート絶縁膜3は、例えば酸化珪素膜で構成されている。前記ゲート電極4は、例えば多結晶珪素膜で構成されている。

10 前記ゲート電極4の上面及び側壁には、絶縁膜6が設けられている。この絶縁膜6は、例えば酸化珪素膜で構成されている。

【0024】前記絶縁膜6の上層には、層間絶縁膜10が設けられている。この層間絶縁膜10は、例えばと100nm程度の膜厚の酸化珪素膜と800nm程度の膜厚のBPSG(Boron Phospho Silicate Glass)膜の積層膜で構成されている。

【0025】前記層間絶縁膜10には、前記ソース領域及びドレイン領域の夫々を構成する一対のn+型半導体領域7の主面を露出する接続孔11が形成されている。この接続孔11の直径は、例えば、0.7μm程度である。この接続孔11内は、タングステン膜12によって埋込まれている。このタングステン膜12は、前記層間絶縁膜10の上層の第1層目の配線13と前記n+型半導体領域7の主面の間を接続している。

【0026】前記第1層目の配線13は、例えば、タングステン膜で構成されている。

【0027】前記第1層目の配線13上には、層間絶縁膜14が設けられている。この層間絶縁膜14は、例えば、下層側から酸化珪素膜、SOG(Spin On Glass)膜、酸化珪素膜の夫々を積層した積層膜で構成されている。この層間絶縁膜14には、前記第1層目の配線13の表面を露出する接続孔15が形成されている。この接続孔15内は、前記接続孔11内と同様に、タングステン膜16で埋込まれている。このタングステン膜16は、前記層間絶縁膜14の上層の第2層目の配線17と前記第1層目の配線13の間を接続している。この第2層目の配線17は、例えば窒化チタン膜、アルミニウム膜、チタンタングステン膜の積層膜で構成されている。この第2層目の配線17の上層には、図示しない表面保護膜が設けられる。

【0028】次に、前記半導体装置の形成方法を、図2及び図3(前記図1に示す領域を製造工程の一部で示す要部断面図)を用いて説明する。

【0029】まず、p-型半導体基板1の非活性領域の主面を選択酸化法で酸化し、素子間分離絶縁膜2を形成する。この素子間分離絶縁膜2は、例えば、550nm程度の膜厚で形成される。

【0030】次に、nチャネルMISFETQnを形成する領域において、前記p-型半導体基板1の素子間分

5

離絶縁膜2で周囲を規定された活性領域の主面を露出する。この後、熱酸化法によって、前記露出されたp-型半導体基板1の主面にゲート絶縁膜3を形成する。

【0031】次に、前記ゲート絶縁膜3上に、多結晶珪素膜を堆積後、フォトリソグラフィ技術及びエッチング技術によりパターンニングし、ゲート電極4を形成する。

【0032】次に、nチャネルMISFETQnを形成する領域において、主に前記ゲート電極4をマスクとするイオン打込みによって、前記p-型半導体基板1の主面にn型不純物例えばヒ素を導入する。この後、900℃程度の温度で、10分間程度の熱処理を施し、前記導入されたn型不純物を活性化し、一對のn+型半導体領域7を形成する。このn+型半導体領域7を形成することにより、nチャネルMISFETQnは完成する。

【0033】次に、前記ゲート電極4の上面及び側面の夫々に、絶縁膜6を形成する。

【0034】次に、例えば、高温、低圧の条件で、酸化珪素膜を100nm程度の膜厚で堆積する。この後、この酸化珪素膜の上層に、例えば、800nm程度の膜厚でBPSG膜を形成する。このBPSG膜は、例えば、ジボラン、フォスフィン、モノシラン、酸素の夫々をソースガスとするCVD法で形成される。このBPSG膜には、膜堆積後に、900℃程度の温度で、10分間程度の熱処理により、リフロー処理が施される。

【0035】次に、例えばフォトリソグラフィ技術及びエッチング技術を用いて、図2に示すように、前記層間絶縁膜10に、前記一對のn+型半導体領域7の主面を露出させる接続孔11を形成する。この接続孔11は、例えば、0.7μm程度の直径で形成される。

【0036】次に、前記接続孔11内において露出するn+型半導体領域7の主面上に、図3に示すように、タングステン膜12を形成する。このタングステン膜12は、六フッ化タングステングスとモノメチルシランガスをソースガスとする減圧CVD法により形成される。このタングステン膜12は、例えば、800nm程度の膜厚で形成される。このタングステン膜12を形成する際の条件は、例えば、キャリアガスとして窒素を使用し、六フッ化タングステングスの分圧を5.33Pa程度、モノメチルシランガスの分圧を5.33Pa程度、全圧を46.66Pa程度とする。また、基板温度は、例えば、250℃程度である。

【0037】このような条件でタングステン膜12を形成した場合、モノメチルシラン中の電子供与性置換基であるメチルは、有機シラン(モノシラン)の六フッ化タングステンに対する還元力を増大させるので、モノメチルシランの六フッ化タングステンに対する還元力は、珪素及び水素より大きくなる。従って、タングステン膜12を形成する工程において、エンクローチメントは形成されないで、エンクローチメントによる半導体装置の

6

歩留りの低下を防止できる。つまり、半導体装置の歩留りを向上できる。

【0038】また、モノメチルシランの六フッ化タングステンに対する還元力は水素及びジフルオロシランより大きいので、タングステン膜の蒸着速度を速くできる。例えば、前述の条件でタングステン膜12を形成した場合、蒸着速度は、100nm/min程度であり、六フッ化タングステングスと水素または六フッ化タングステンとジフルオロシランガスをソースガスとする場合よりも蒸着速度は速くなるので、半導体装置の完工時間を短縮できる。また、接続孔11内に選択性良くタングステン膜12を形成できる。

【0039】また、モノメチルシラン中の珪素-炭素間の結合は、モノシラン中の珪素-水素間の結合より強いので、タングステン膜12中に珪素が取り込まれることを防止できる。例えば、前述の条件でタングステン膜12を形成した場合、基板温度を180℃乃至350℃程度まで変化させてタングステン膜12を形成しても、基板温度に関係なくタングステン膜12の抵抗値は10μΩ・cm程度ある。すなわち、タングステン膜12の抵抗値を低減できるので、半導体装置の動作速度を高速化できる。

【0040】また、タングステン膜12中への珪素の取り込みを防止できることにより、半導体装置の製造工程中のタングステン膜12の剥がれを防止できるので、半導体装置の歩留りを向上できる。

【0041】次に、前記層間絶縁膜10の上層にタングステン膜を堆積後、フォトリソグラフィ技術及びエッチング技術でパターンニングし、第1層目の配線13を形成する。この後、この第1層目の配線13の上層に、層間絶縁膜14を形成する。この層間絶縁膜14は、下層側から、酸化珪素膜、SOG膜、酸化珪素膜の夫々を積層した積層膜で形成される。この層間絶縁膜14の上層及び下層の酸化珪素膜は、例えば、プラズマCVD法で堆積される。前記SOG膜は、塗布法により形成される。

【0042】次に、前記層間絶縁膜14に、前記第1層目の配線13の表面を露出する接続孔15を形成する。この後、前記タングステン膜12と同様に、減圧CVD法でタングステン膜16を形成し、接続孔15内をタングステン膜16で埋込む。このように、タングステン膜で構成される第1層目の配線13の表面を露出する接続孔15を層間絶縁膜14に形成し、この接続孔15内をタングステン膜16で埋込む際、モノシランガスの場合には第1層目の配線13を構成するタングステンの表面で分解する可能性があるが、本実施例の構成によれば、有機シランガスの分解を防止できるので、前記接続孔16内に選択性良くタングステン膜16を形成できる。また、この場合、第1層目の配線13が、窒化チタン、タングステンシリサイド、モリブデンシリサイド等で構成

されている場合にも、同様の効果を得ることができる。

【0043】次に、前記層間絶縁膜14上に、窒化チタン膜、アルミニウム膜、チタングステン膜の積層膜を形成後、この積層膜をフォトリソグラフィ技術及びエッチング技術でパターンニングし、第2層目の配線17を形成する。この後、この第2層目の配線17上に図示しない表面保護膜を形成することにより、前記図1に示す本実施例の半導体装置は完成する。

【0044】以上、説明したように、本実施例では、n+型半導体領域7の主面上の層間絶縁膜10に、前記n+型半導体領域7の主面を露出する接続孔11を形成する工程と、この接続孔11内に、六フッ化タングステンと電子供与性置換基を有する有機シランであるモノメチルシランガスをソースガスとする減圧CVD法で選択的にタングステン膜12を形成する工程とを備えている。この構成によれば、前記電子供与性置換基であるメチル基は、有機シランであるモノシランの六フッ化タングステンに対する還元力を増大させるので、モノメチルシランの六フッ化タングステンに対する還元力は、珪素及び水素より大きくなる。従って、タングステン膜12を形成する工程において、エンクローチメントは形成されない

ので、エンクローチメントによる半導体装置の歩留りの低下を防止できる。つまり、半導体装置の歩留りを向上できる。

【0045】また、前記メチル基を有するモノメチルシランの六フッ化タングステンに対する還元力は水素及びジフルオロシランより大きいので、タングステン膜12の蒸着速度を速くできる。これにより、半導体装置の工完時間を短縮できる。

【0046】また、前記メチル基を有するモノメチルシ

【0047】以上、本発明を実施例に基づき説明したが、本発明は、前記実施例に限定されるものではなく、種々変更可能であることは言うまでもない。

【0048】例えば、前記実施例では、原子供与性置換基としてメチル基を有するモノメチルシランガスをソースガスとして使用する例を示したが、本発明は、ジメチルシランガスをソースガスとして使用することもできる。また、メチル基の代わりに、他のアルキル基またはフェニル基を有する有機シランガスをソースガスとして用いることもできる。なお、アルキル基の炭素鎖及びフェニル基の官能機の炭素鎖が長い場合反応性が低下するので、アルキル基及びフェニル基の炭素鎖が短い有機シラン誘導体を用いた方が良い。

【0049】また、基板全面上に例えばスパッタリング法でタングステン膜を形成した後、前記実施例と同様にタングステン膜を形成すれば、基板全面にタングステン膜を形成することもできる。

#### 【0050】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0051】配線部材の形成方法において、歩留りを向上できる。

【0052】前記配線部材の形成方法において、工完時間を短縮できる。

【0053】前記配線部材の形成方法において、動作速度を高速化できる。

#### 【図面の簡単な説明】

【図1】本発明の実施例の半導体装置の要部断面図。

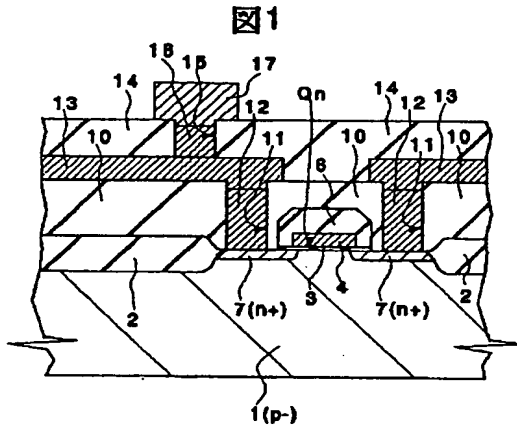
【図2】前記図1に示す領域を製造工程の一部で示す要部断面図。

【図3】前記図1に示す領域を製造工程の一部で示す要部断面図。

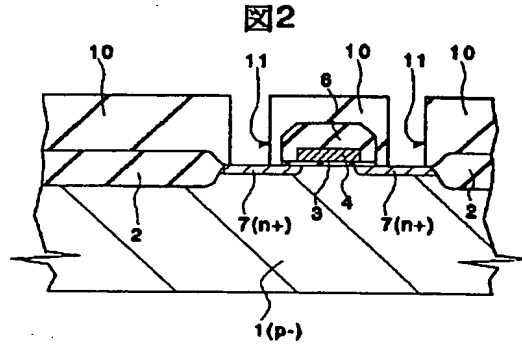
#### 【符号の説明】

1…p-型半導体基板、2…素子間分離絶縁膜、3…ゲート絶縁膜、4…ゲート電極、7…n+型半導体領域、10、14…層間絶縁膜、11、15…接続孔、12、16…タングステン膜、13…第1層目の配線、…17…第2層目の配線。

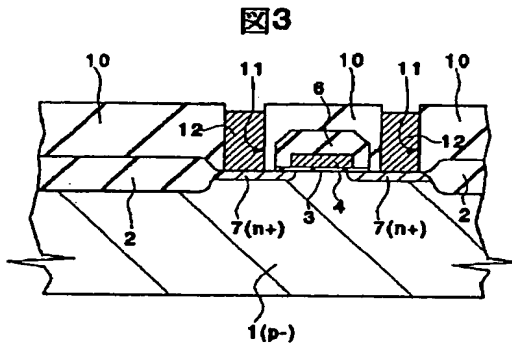
【図1】



【図2】



【図3】





FLAID-OPEN PATENT GAZETTE, JAPANESE PATENT OFFICE (JP)(A)

Laid-Open Number: 06/037,041

Laid-Open Date: February 10, 1994

Filing Number: 04/187,855

Filing Date: July 15, 1992

Int. Cl.<sup>5</sup>: H 01 L 21/285, C 23 C 16/04,  
H 01 L 21/90

Inventor: Masanori Suzuki

Applicant: Hitachi Limited

Representative: Katsuo Ogawa, Patent Attorney

Title of the Invention:

A Method for the Formation of Wiring Materials

Abstract:

[Objects]

In a method for the formation of wiring materials, the yield is improved. Time for completing the work is shortened. Working speed is made fast.

[Constitution]

A tungsten film (12) is formed by means of a selective CVD method using an organic silane having an electron-donating

substituent (methyl group or phenyl group) and tungsten hexafluoride as a source gas.

[Advantage]

Since a reducing power of an organic silane having methyl or phenyl group for tungsten is strong, generation of encroachment can be prevented and, at the same time, vapor deposition speed can be made fast. Since the bond between silicon and carbon in the organic silane having methyl or phenyl group is strong, incorporation of silicon into tungsten can be prevented.

What is Claimed is:

1. A method for the formation of wiring materials, characterized in that, the method comprises a step where, on an insulating film on the main surface of a semiconductor base plate comprising silicone, an opening which exposes the main surface of the said semiconductor base plate is formed and a step where a tungsten film is selectively formed in the said opening by means of a CVD method in which an organic silane having an electron-donating substituent and tungsten hexafluoride as a source gas.

2. The method for the manufacture of wiring materials according to claim 1, wherein the organic silane is an alkyl

or phenyl derivative of monosilane.

3. The method for the manufacture of wiring materials according to claim 2, wherein the organic silane is monomethylsilane or dimethylsilane.

Detailed Description of the Invention:

[Technical Field]

The present invention relates to a technique for the formation of wiring and, more particularly, it relates to a technique which is effective when applied to a wiring formation technique using a selective CVD method.

[Prior Art]

In a semiconductor apparatus, a method is adopted where the inside of very small connecting hole formed on a interlayer insulating film is embedded by a selectively formed tungsten film by a CVD method. In that case, the said tungsten film is connected, for example, to the main surface of the semiconductor base plate which is a lower layer exposed in the connecting hole of the said interlayer insulating film. The said interlayer insulating film is constituted from a silicon oxide film. Wiring of the upper layer of the said interlayer is constituted from a tungsten film. The said semiconductor base plate is constituted from single-crystal silicon. According to such an

art, it is possible to connect the wiring on the upper layer of the interlayer insulating film with the main surface of the semiconductor base plate of the lower layer via a connecting hole having a big ratio(aspect ratio) of depth to breadth.

The said tungsten layer can be formed by means of a selective CVD method using tungsten hexafluoride gas and hydrogen gas or monosilane gas as a source gas.

[Problems to be Solved by the Invention]

However, when the present inventor has investigated the above-mentioned prior art, he has found the following problems.

Thus, in the formation of a tungsten film using the said tungsten hexafluoride gas and hydrogen gas as source gas, an intrusion of tungsten into the semiconductor base plate is formed which is called "encroachment" because the reducing power of hydrogen for tungsten hexafluoride is weaker than that of silicon. As a result, when a tungsten film is connected to a semiconductor region constituting a source or drain region of MOSFET, there is a problem that the area between the semiconductor regions constituting the source and the drain region is short-circuited by the encroachment and accordingly that the yield of the semiconductor apparatus lowers. There is another problem that the encroachment goes through the semiconductor region constituting the drain region or source of MOSFET and the area

between the said tungsten film and the main part of the semiconductor base plate is short-circuited by the encroachment (resulting in a connection fracture) whereby the yield of the semiconductor apparatus lowers. There is still another problem that, since the reducing power of hydrogen for tungsten hexafluoride is weaker than that of silicon, the vapor deposition speed of tungsten film is slower than the case where the above-mentioned tungsten hexafluoride film and monosilane gas are used as source gas whereby the time for completing a process of the semiconductor apparatus becomes long.

When a tungsten film is formed using the above-mentioned tungsten hexafluoride gas and monosilane gas as source gas, no encroachment is formed since the reducing power of monosilane for tungsten hexafluoride is stronger than that of silicon. Further, since the reducing power of monosilane for tungsten hexafluoride gas is stronger than that of silicon, the vapor deposition speed is faster than the case where tungsten hexafluoride gas and hydrogen gas are used as a source gas. However, since the bond between hydrogen and silicon in monosilane is weak and is apt to be cleaved, silicon is incorporated into the formed tungsten film and resistivity of the tungsten film increases. As a result, there is a problem that the working speed of the semiconductor apparatus lowers.

There is another problem that, when silicon is incorporated into the tungsten film, shrinkage stress of the inner area of the tungsten film increases whereby the tungsten film is detached during the manufacturing process of the semiconductor apparatus and the yield becomes low.

Under such circumstances, in order to prevent the above-mentioned encroachment by tungsten and the incorporation of silicon into the tungsten film, a method has been developed where a tungsten film is formed using tungsten hexafluoride and difluorosilane gas as a source gas. In that case, the reducing power of hydrogen for tungsten hexafluoride is stronger than that of difluorosilane and, therefore, no encroachment is generated. In addition, the bond between silicon and fluorine is stronger than that between silicon and hydrogen and, therefore, no silicon is incorporated into a tungsten film. However, there is a problem that the speed for the formation of tungsten film is slower than the case where the above-mentioned tungsten hexafluoride gas and monosilane gas are used as a source gas.

An object of the present invention is to provide a technique where an increase in the yield in a method for the formation of wiring materials is made possible.

Another object of the present invention is to provide a technique where, in the above method for the formation of wiring

materials, time for completing the process can be shortened.

Further another object of the present invention is to provide a technique where, in the above method for the formation of wiring materials, an working speed can be made fast.

The above-mentioned and other objects and novel characteristics of the present invention will be apparent from the description of the present specification and the attached drawings.

[Means for Solving the Problems]

Among the inventions which are disclosed by the present application, the representative one will be summarized as follows.

(1) The method comprises a step where, on an insulating film on the main surface of a semiconductor base plate comprising silicone, an opening which exposes the main surface of the said semiconductor base plate is formed and a step where a tungsten film is selectively formed in the said opening by means of a CVD method in which organic silane having an electron-donating substituent and tungsten hexafluoride as a source gas.

2. The organic silane is an alkyl or phenyl derivative of monosilane.

3. The organic silane is monomethylsilane or dimethylsilane.

[Function]

According to the above-mentioned means (1) to (3), the said electron-donating substituent (alkyl or phenyl group) increases the reducing power of the organic silane (monosilane) for tungsten hexafluoride whereupon the reducing power of the organic silane for tungsten hexafluoride becomes higher than that of silicon and hydrogen. Accordingly, during the step of forming a tungsten film, no encroachment is formed and, therefore, a decrease in the yield of the semiconductor apparatus due to the encroachment can be prevented. Thus, the yield of the semiconductor apparatus can be improved.

In addition, the reducing power of the organic silane (monosilane) having the above electron-donating substituent (alkyl or phenyl group) for tungsten hexafluoride is more than that of hydrogen and difluorosilane and, therefore, a vapor deposition speed of the tungsten film can be made fast. As a result, processing time for completing the semiconductor apparatus can be made short.

Further, the bond between silicon and carbon in the organic silane (monosilane) having the above-mentioned electron-donating substituent (alkyl or phenyl group) is stronger than that between silicon and hydrogen in the monosilane and, therefore, incorporation of silicon into the tungsten film



can be prevented. As a result, an increase in the resistance of the tungsten film can be prevented whereby the working speed of the semiconductor apparatus can be fast. Furthermore, since incorporation of silicon into the tungsten film can be prevented, detachment of the tungsten film during the manufacturing steps of the semiconductor apparatus can be prevented whereby the yield of the semiconductor apparatus can be improved.

#### [Examples]

Examples of the present invention will now be specifically illustrated as hereunder by referring to the drawings. Throughout the drawings for illustrating the examples, those having the same functions were assigned with the same symbol and the superfluous explanation therefor is omitted.

First, the constitution of the semiconductor apparatus of the examples of the present invention will be illustrated by referring to Fig. 1 (a cross section of the main parts).

As shown in Fig. 1, the semiconductor apparatus is composed of a p-type semiconductor base plate (1). The p-type semiconductor base plate (1) is composed of single-crystal silicon for example. On the main surface of the p-type semiconductor base plate (1 n-channel), MISFETQn is provided.

The n-channel MISFETQn is provided on the main surface of the active region where its surrounding is regulated by an

insulating film (2) for separating the elements of the main surface of the inactive region of the p-type semiconductor base plate (1). The insulating film (2) for separating the elements is composed of a silicon oxide film for example.

The n-channel MISFETQn is mainly composed of a gate insulating film provided on the main surface of the p-type semiconductor base plate (1), a gate electrode (4) provided on the gate insulating film (3) and a pair of n+ type semiconductor region (7) constituting a source region and a drain region. The gate insulating film (3) is composed of a silicon oxide film for example. The gate electrode (4) is composed of a polycrystalline silicon film for example. An insulating film (6) is provided on the upper surface and the side wall of the above gate electrode (4). This insulating film (6) is composed of a silicon oxide film for example.

On the upper layer of the insulating film (6), an interlayer insulating film (10) is provided. This interlayer insulating film (10) is composed of, for example, a layered film comprising a silicon oxide film having a thickness of about 100 nm and a BPSG (Boron Phospho Silicate Glass) film having a thickness of about 800 nm.

In the above interlayer insulating film (10), a connecting hole (11) exposing the main surface of a pair of n+ type

semiconductor regions (7) is provided constituting each of the source region and the drain region. The diameter of the connecting hole (11) is, for example, about 0.7  $\mu\text{m}$ . In the inner area of the connecting hole (11) is embedded by a tungsten film (12). The tungsten film (12) connects the wiring (13) of the first layer of the upper layer of the above interlayer insulating film (10) to the main surface of the above n+ type semiconductor region (7).

The wiring (13) of the first layer is composed of a tungsten film for example.

On the wiring (13) of the first layer, an interlayer insulating film (14) is provided. The interlayer insulating film (14) is, for example, composed of a layered film where each of silicon oxide film, SOG (Spin On Glass) film and silicon oxide film is layered from the lower layer side. In this interlayer insulating film (14), a connecting hole (15) is formed which exposes the surface of the wiring (13) of the first layer. Like in the case of the above connecting hole (11), the inner area of the connecting hole (15) is embedded by a tungsten film (16). The tungsten film (16) connects the wiring (17) of the second layer of the upper layer of the interlayer insulating film (14) to the wiring (13) of the first layer. The wiring (17) of the second layer is composed of a layered film of titanium nitride

film, aluminum film and titanium tungsten film for example. On the upper layer of the wiring (17) of the second layer, a surface protecting film is provided which is not shown.

Now, a method for the formation of the said semiconductor apparatus will be illustrated by referring to Fig. 2 and Fig. 3 (cross sections of the main parts of the region shown by Fig. 1 by means of a part of the manufacturing steps).

First, the main surface of the inactive region of the p-type semiconductor base plate (1) is oxidized by a selective oxidation to form an insulating film (2) for separating the elements. This insulating film (2) for separating the elements is formed, for example, in a thickness of about 550 nm.

Then, in a region where the n-channel MISFET2Qn is formed, the main surface of the active region is exposed where he surrounding is regulated by the insulating film (2) for separating the elements of the above p-type semiconductor base plate (1). After that, a gate insulating film (3) is formed on the main surface of the above-exposed p-type semiconductor base plate (1) by a thermal oxidation method.

Then, a polycrystalline silicon film is accumulated on the gate insulating film (3) and subjected to a patterning by means of a photolithographic technique and an etching technique to form a gate electrode (4).

After that, in a region where the n-channel MISFETQn is formed, an n-type impurity such as arsenic is introduced into the main surface of the above p-type semiconductor base plate (1) by means of an ion implantation mainly using the gate electrode (4) as a mask. Then, a heating thermal at the temperature of about 900°C for about 10 minutes is carried out to activate the above-introduced n-type impurity whereupon a pair of n+ type semiconductor regions (7) is formed. As a result of the formation of this n+ type semiconductor regions (7), the n-channel MISFETQn is completed.

After that, an insulating film (6) is formed on each of the upper surface and the side of the above gate electrode (4).

Then, a silicon oxide film is accumulated in a thickness of about 100 nm under the condition of, for example, a high temperature and a low pressure. After that, a BPSG film is formed in a thickness of, for example, about 800 nm on the upper layer of the silicon oxide layer. This BPSG film is formed by a CVD method using, for example, each of diborane, phosphine, monosilane and oxygen as a source gas. After accumulation of the film, the BPSG film is subjected to a reflow treatment by a thermal treatment at a temperature of about 900°C for about 10 minutes.

Then, as shown in Fig. 2, a connecting hole (11) exposing

the main surface of the above pair of n+ type semiconductor regions (7) is formed on the above interlayer insulating film (10) using, for example, a photolithographic technique and an etching technique. This connecting hole (11) is formed in, for example, having a diameter of about 0.7  $\mu\text{m}$ .

After that, as shown in Fig. 3, a tungsten film (12) is formed on the main surface of the n+ type semiconductor region (7) exposed in the above connecting hole (11). This tungsten film (12) is formed by a vacuum CVD method using tungsten hexafluoride gas and monomethylsilane gas as a source gas. The tungsten film (12) is formed, for example, in a thickness of about 800 nm. The condition for the formation of this tungsten film (12) is that, for example, nitrogen is used as a carrier gas, partial pressure of tungsten hexafluoride is at about 5.33 Pa, partial pressure of monomethylsilane gas is at about 5.33 Pa and the total pressure is made about 46.66 Pa. The temperature of the base plate is at 250°C for example.

When a tungsten film (12) is formed under such a condition, a methyl group which is an electron-donating substituent in monomethylsilane increases the reducing power of the organic silane (monosilane) for tungsten hexafluoride and, therefore, the reducing power of monomethylsilane for tungsten hexafluoride is stronger than that of silicon and hydrogen. Accordingly,

no encroachment is formed during a step of forming a tungsten film (12) whereby a decrease in the yield of the semiconductor apparatus by the encroachment can be prevented. In other words, yield of the semiconductor apparatus can be improved.

In addition, the reducing power of monomethylsilane for tungsten hexafluoride is stronger than that of hydrogen and difluorosilane and, therefore, a vapor deposition speed of the tungsten film can be made fast. For example, when a tungsten film (12) is formed under the above-mentioned condition, the vapor deposition speed is about 100 nm/minute and is faster than the case where tungsten hexafluoride and hydrogen or tungsten hexafluoride and difluorosilane are used as a source gas whereby the processing time for completing the semiconductor apparatus can be shortened. Moreover, a tungsten film (12) can be formed in the connecting hole (11) with a high selectivity.

Further, the bond between silicon and carbon in monomethylsilane is stronger than that between silicon and hydrogen in monosilane and, therefore, incorporation of silicon into a tungsten film (12) can be prevented. For example, even when a tungsten film (12) is formed under the above-mentioned condition changing the base plate temperature within a range of 180°C and 350°C, resistance of the tungsten film (12) is about 10  $\mu\Omega$ .cm independently of the base plate temperature. Thus,

since the resistance of a tungsten film (12) can be reduced, working speed of the semiconductor apparatus can be made fast.

Further, since the incorporation of silicon into the tungsten film (12) can be prevented, detachment of the tungsten film (12) during the manufacturing steps for the semiconductor apparatus can be prevented whereupon the yield of the semiconductor apparatus can be improved.

Then, after the tungsten film is accumulated on the upper layer of the above interlayer insulating film (10), a patterning is carried out by a photolithographic technique and an etching technique to form a wiring (13) the first layer. After that, an interlayer insulating film (14) is formed on the upper layer of the wiring (13) of the first layer. This interlayer insulating film (14) is formed by a layered film where each of a silicon oxide layer, an SOG film and a silicon oxide layer is layered from the lower layer. The silicon oxide films of the upper layer and the lower layer of this interlayer insulating film (14) are accumulated, for example, by a plasma CVD method. The said SOG film is formed by means of a coating method.

Then a connecting hole (15) is formed on the interlayer insulating layer (14) for exposing the surface of the wiring (13) of the first layer. After that, like in the case of the above tungsten layer (12), a tungsten film (16) is formed by



a vacuum CVD method and the inner area of the connecting hole (15) is embedded by the tungsten film (16). When the connecting hole (15) exposing the surface of the wiring (13) of the first layer consisting of the tungsten film is made into an interlayer film (14) and the inner area of the connecting hole (15) is embedded by the tungsten film (16), there is a possibility, in the case of monosilane, that a decomposition takes place on the surface of tungsten constituting the wiring (13) of the first layer. According to the constitution of the present example however, decomposition of the organic silane gas can be prevented whereby a tungsten film (16) can be formed in the above connecting hole (15) with a good selectivity. Moreover, in that case, the same effect can be achieved even when the wiring (13) of the first layer is constituted from titanium nitride, tungsten silicide, molybdenum silicide, etc.

Then, after a layered film of titanium nitride film, aluminum film and titanium tungsten film are formed on the above interlayer insulating film (14), the layered film is subjected to a patterning by a photolithographic technique and an etching technique to form a wiring (17) of the second layer. After that, a surface protecting film (not shown) is formed on the wiring (17) on the second layer whereupon the semiconductor apparatus of the present example as shown in Fig. 1 is completed.

As illustrated hereinabove, the present example comprises a step where a connecting hole (11) is formed for exposing the main surface of the above n+ type semiconductor region (7) to the interlayer insulating film (10) on the main surface of the n+ type semiconductor region (7) and a step where, in this connecting hole (11), a tungsten film (12) is selectively formed by a vacuum CVD method using tungsten hexafluoride and monomethylsilane gas which is an organic silane having an electron-donating substituent as a source gas. According to such a constitution, a methyl group which is the above-mentioned electron-donating substituent increases the reducing power of monosilane which is an organic silane for tungsten hexafluoride and, therefore, the reducing power of monomethylsilane for tungsten hexafluoride becomes larger than that of silicon and hydrogen. Accordingly, no encroachment is formed in the process of forming a tungsten film (12) whereby a decrease in the yield of semiconductor apparatus due to the encroachment can be prevented. Thus, yield of the semiconductor apparatus can be improved.

Further, since the reducing power of the said monomethylsilane having a methyl group for tungsten hexafluoride is more than that of hydrogen and difluorosilane, a vapor deposition speed of tungsten film (12) can be made fast. As

a result, a processing time for completing the semiconductor apparatus can be shortened.

In addition, since the bond between silicon and carbon in the monomethylsilane having a methyl group is stronger than that between silicon and hydrogen in monosilane, incorporation of silicon into the tungsten film (12) can be prevented. As a result, an increase in resistance of the tungsten film (12) can be prevented whereby the working speed of the semiconductor apparatus can be made fast. Further, since incorporation of silicon into the tungsten film (12) can be prevented, detachment of the tungsten film (12) during the manufacture of the semiconductor apparatus can be prevented. As a result, yield of the semiconductor apparatus can be improved.

As hereinabove, the present invention is illustrated by means of the examples although it goes without saying that the present invention is not limited to the above-mentioned examples but is able to be modified in various manners.

For example, in the above example, the case where monomethylsilane having a methyl group as an electron-donating substituent is shown but the present invention is also able to use dimethylsilane gas as a source gas. It is also possible to use an organic silane gas having other alkyl groups or a phenyl groups in place of a methyl group as a source gas. Incidentally,

when the carbon chain of the alkyl group or the carbon chain of the functional group for the phenyl group is long, the reactivity lowers and, therefore, it is better to use an organic silane derivative in which the carbon chain of the alkyl group or the phenyl group is short.

Alternatively, when a tungsten film is formed on the whole surface of the base plate, for example, by means of a sputtering method and then a tungsten film is formed in the same manner as in the above example, it is possible to form a tungsten film on the whole surface of the base plate.

#### [Advantage of the Invention]

The advantage achieved by the representative embodiment of the present invention disclosed in this application will be briefly illustrated as follows.

In a method of forming the wiring materials, the yield can be improved.

In a method for the formation of the above wiring materials, time for completing the work can be shortened.

In a method for the formation of the above wiring materials, the working speed can be made fast.

#### Brief Description of the Drawings:

Fig. 1 is a cross section of important parts of the

semiconductor apparatus of the example of the present invention.

Fig. 2 is a cross section of important parts of the region as shown in the above Fig. 1 by way of a part of the manufacturing steps.

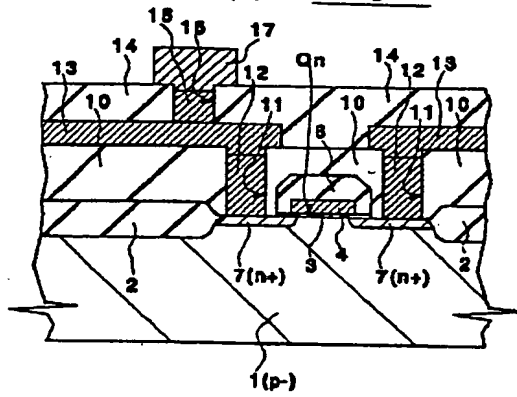
Fig. 3 is a cross section of important parts of the region as shown in the above Fig. 1 by way of a part of the manufacturing steps.

[Explanation of the Symbols]

- 1      p-type semiconductor base plate
- 2      insulating film for separating the elements
- 3      gate insulating film
- 4      gate electrode
- 7      n+ type semiconductor region
- 10, 14      interlayer insulating films
- 11, 15      connecting holes
- 12, 16      tungsten films
- 13      wiring of the first layer
- 17      wiring of the second layer

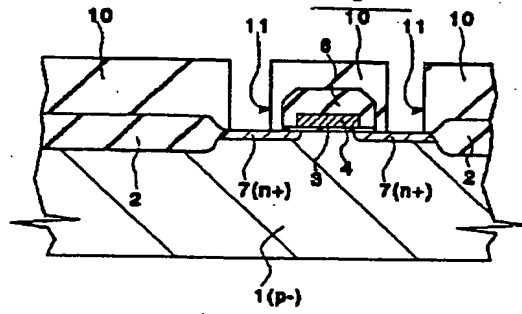
【図1】

図1 Fig. 1



【図2】

図2 Fig. 2



【図3】

図3 Fig. 3

